

カオスニューラルネットワークリザバーのダイナミクス解析および3次元集積回路実装の検討

著者	福田 佳祐
雑誌名	東北大学電通談話会記録
巻	90
号	1
ページ	312-313
発行年	2021-08-20
URL	http://hdl.handle.net/10097/00132935

修士学位論文要約（令和3年3月）

カオスニューラルネットワークリザバーのダイナミクス解析および 3次元集積回路実装の検討

福田 佳祐

指導教員：堀尾 喜彦

Chaotic neural network reservoir - Analysis of dynamics and 3D circuit system integration -

Keisuke FUKUDA

Supervisor: Yoshihiko HORIO

Reservoir computing, which is a neural network model composed of a simple structure and a learning algorithm, is suitable for hardware implementation. To introduce high-dimensional complex dynamics in the reservoir neural network and correspond to various inputs, chaotic neural network reservoir (CNNR) was proposed. Furthermore, three-dimensional (3D) integrated circuit (IC) fabrication technology using through-silicon vias (TSVs) is attracting attention as a method of a miniaturizing hardware. 3D IC fabrication technology using TSVs can be vertically stacked several semiconductor substrates and efficiently integrate the circuit. In this paper, we evaluate the performance of the CNNR as a reservoir neural network through the memory capacity. We then analyze the dynamics of the CNNR. We propose a cyclic reservoir neural network architecture and CNNR circuit, suitable for the 3D stacked structure. We designed and fabricated a prototype IC chip of the proposed circuit with a TSMC 180 nm CMOS semiconductor process. We verified its operation through SPICE and MATLAB simulations and circuit experiments. We composed the small-scale CNNR circuit using prototype chips.

1. はじめに

脳神経系に見られる情報処理様式を模した計算モデルであるリザバーニューラルネットワーク(RNN)¹⁾は簡素な構成かつ簡便なアルゴリズムで学習可能であり、ハードウェア実装に適する。RNNを多様な入力に対応させるために、ネットワークの安定性を保持しつつ、カオスダイナミクスを導入する手法としてカオスニューラルネットワークリザバー(CNNR)が提案されている²⁾。一方、コンパクトなハードウェア実装技術の一つとして、3次元(3D)集積回路(IC)実装技術が注目されている。

本研究では、CNNRのリザバーとしての性能を時系列予測タスクおよび分類タスクにより確認し、時系列予測タスク時のダイナミクスを解析した。また、3D IC構造に適したRNNのアーキテクチャおよび電子回路を提案し、TSMC 180 nm CMOS半導体プロセスによりプロトタイプチップを製作し、評価した。また、プロトタイプチップを用いたCNNR回路を構成した。

2. カオスニューラルネットワークリザバー

図1に一般的なRNNにおけるリザバー層のニューラルネットワーク(NN)の構成を示す。CNNR

はRNNにおけるリザバー層のNNをカオスニューラルネットワーク³⁾に置換した計算モデルである。CNNRの状態更新式は次式で与えられる。

$$x_i(t+1) = kx_i(t) + \sum_{j=1}^M W_{lm}^{in} u_m(t+1) + \sum_{j=1}^N W_{ij} f(x_j(t)) - \alpha f(x_i(t)) + \theta_i \quad (2.1)$$

$$y_i(t+1) = f(x_i(t+1)) \quad (2.2)$$

$$f(x) = \frac{1}{1 + \exp(-x/\epsilon)} \quad (2.3)$$

ここで、 $x_i(t)$ と $y_i(t)$ は、それぞれ、離散時刻 t における i 番目のニューロンの内部状態と出力、 W_{lm}^{in} と W_{ij} は、それぞれ、入力層中の l 番目のニ

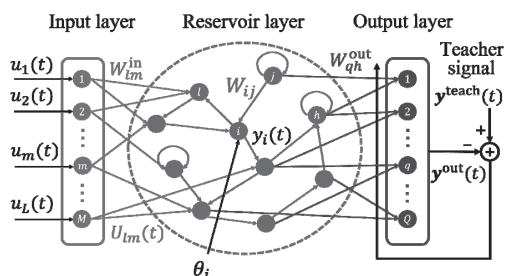


図1 一般的なリザバーニューラルネットワークの構成。

ニューロンからリザパー層内の m 番目のニューロンへの入力結合重みとリザパー層内の i 番目のニューロンからリザパー層内の j 番目のニューロンへの結合重み、 $u_m(t)$ は m 番目の入力層内のニューロンからの入力信号、 k と α は不応性のパラメータ、 M 、 N は入力層およびリザパー層内のニューロン数、 θ_i は外部バイアス、 $f(\cdot)$ はニューロンの出力関数であり、 ε は出力関数の傾きを調整するパラメータである。

3. ダイナミクス解析

本章では、時系列予測タスク時における CNNR の時空間特性を解析し、予測誤差との関係について述べ、カオスニューロンのパラメータ値の設計指針を得る。

表 1 に示すネットワークを構成し、パラメータ k 、 α 、 θ 、 ε を変化させたときの周期関数の時系列予測シミュレーションを行う。時系列の複雑さを示す順列エントロピー H_p 、ネットワークの情報伝達量を示す空間相互情報量 MI_{SP} と平均二乗誤差 MSE の関係を図 2 に示す。図 2 より、CNNR のダイナミクスの H_p が入力と同程度の複雑さを持ち、 MI_{SP} が 10^{-3} 程度を示すとき、MSE は最小値を取る。上記の時空間特性を示すパラメータ値を選択することで、CNNR の良好の性能が期待できると考えられる。

4. カオスニューラルネットワークリザパー回路

本章では、CNNR の 3D IC 実装を目指し、3D 積層構造に対応したサイクリック RNN アーキテクチャおよ

表 1 シミュレーション条件。

N	100
$u(t)$	$0.9 \sin^2(\frac{t}{2\pi})$
Transient length	5000 steps
Teacher signal	$u(t+1)$
$x(0)$	Uniform $[-1, 1]$
W_{lm}^{in}	0 (80 %) or Uniform $[-1, 1]$ (20 %)
W_{ij}	0 (80 %) or Uniform $[-1, 1]$ (20 %)
W_{qk}^{out} (initial)	0 (80 %) or Uniform $[-0.01, 0.01]$ (20 %)
Spectral radius	0.98ε
k	$[0.1, 0.9]$ (0.1 刻み)
α	1
θ	$[-0.5, 0.5]$ (0.1 刻み)
ε	$[0.08; 0.1]$, $[0.2; 0.7]$ (それぞれ 0.01 刻みと 0.1 刻み)
Training length	10000 steps

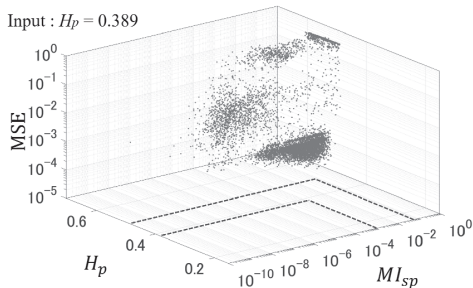


図 2 CNNR の H_p – MI_{SP} –MSE 特性。

表 2 回路実験の条件。

Power supply voltage : V_{dd}	2.4 V
Analog ground voltage : V_{com}	0.8 V
Parameter : $V_k, V_\alpha, V_{\theta\theta}$	2.0 V
Operating frequency	100 kHz

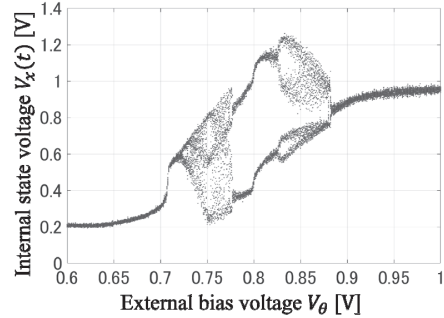


図 3 プロトタイプチップから得たカオスニューロンの分岐図。

び CNNR 回路を提案する。サイクリック RNN アーキテクチャは単一ニューロンを同じ特性を持ったニューロンを持つ 2 つの層で構成し、各層で交互に状態更新を行う。本アーキテクチャの構造を持つカオスニューロン回路を TSMC 180 nm CMOS 半導体プロセスによりプロトタイプチップとして実装した。表 2 の実験条件による回路実験から測定したプロトタイプチップにおけるカオスニューロンの分岐特性を図 3 に示す。図 3 より、 $V_\theta = 0.75$ V 付近でカオス的な振舞いが観測でき、プロトタイプチップがカオスニューロンとして動作することが確認できた。

5. まとめ

カオスニューラルネットワークリザパー (CNNR) のリザパーとしての性能を時系列予測タスクおよび分類タスクにより確認した。また、CNNR の時空間特性を解析することで、パラメータ値の設計指針を得た。3D 積層構造に適した CNNR アーキテクチャおよび電子回路を提案し、TSMC 180 nm CMOS 半導体プロセスによりプロトタイプチップを製作した。提案回路のカオスニューロンとしての動作を確認した。

今後は、構成した CNNR 回路を用いて実用的なタスク処理性能を評価する。また、現在設計中の新チップを用いて大規模な CNNR の構成・評価を行う。

文献

- 1) H. Jaeger, Technical Report GMD, Report 148, 2001.
- 2) Y. Horio, in Proc. of IJCNN, vol. 18, no. 4, pp. 17-22, 2019.
- 3) K. Aihara, T. Tanabe, and M. Toyoda, Phys. Lett. A, vol. 144, issues 6-7, pp. 333-340, 1990.